



19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

12 Patentschrift
10 DE 199 22 804 C 2

51 Int. Cl.⁷:
H 04 L 7/033
G 06 F 1/04
// H03K 5/13

21 Aktenzeichen: 199 22 804.3-42
22 Anmeldetag: 18. 5. 1999
43 Offenlegungstag: 25. 11. 1999
45 Veröffentlichungstag
der Patenterteilung: 22. 5. 2003

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

30 Unionspriorität:
080448 18. 05. 1998 US
73 Patentinhaber:
National Semiconductor Corp.(n.d.Ges.d.Staates
Delaware), Santa Clara, Calif., US
74 Vertreter:
Sparing . Röhl . Henseler, 40237 Düsseldorf
72 Erfinder:
Gaudet, Brian, San Jose, Calif., US

55 Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:

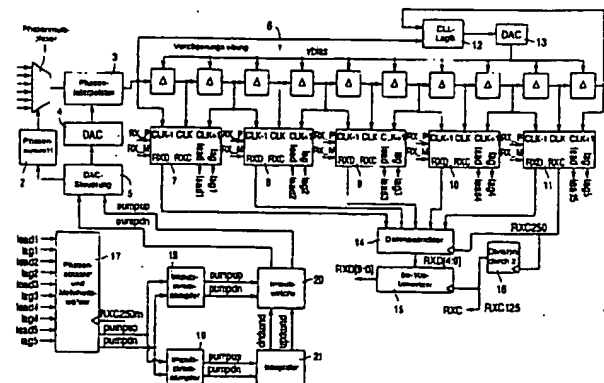
DE 693 12 522 T2
US 54 85 490 A

Inyeol Lee et al.: "A 622 Mb/s CMOS
Clock Recovery PLL with Time-Interleaved
Phase Detector Array", ISSCC96/Session 12/
Serial Data Communications;
Chih-Kong Ken Yang et al.: "A 0,8 µm CMOS
2,5 Gb/s Oversampled Receiver for Serial
Links", ISSCC96/Session 12/Serial Data
Communications;

54 Taktwiedergewinnungsschaltung

57 Taktwiedergewinnungsschaltung, gekennzeichnet durch
eine Reihe von Verzögerungselementen, die in der Weise
durch eine Verzögerungsregelschleife (12) und durch einen
Digital-Analog-Umsetzer (13) gesteuert werden, daß
jedes Verzögerungselement ein Taktsignal erzeugt, das
gegenüber dem vorausgehenden Verzögerungselement
in der Reihe um eine definierte Phasendifferenz phasen-
verzögert ist;
einen Phaseninterpolator (3), der ein Eingangstaktsignal
für die Reihe der Verzögerungselemente liefert;
eine Reihe von Phasenauswerteschaltungen (7-11), die in
der Weise verschachtelt sind, daß die erste Phasenaus-
werteschaltung (7) in der Reihe das Eingangstaktsignal
als einen um eine Phase verzögerten Takt (CLK - 1), das
Ausgangssignal des ersten Verzögerungselements als ein
Taktsignal (CKL) und das Ausgangssignal des zweiten
Verzögerungselements als einen um eine Phase vorge-
rückten Takt (CLK + 1) verwendet, die zweite Phasenaus-
werteschaltung (8) in der Reihe das Ausgangssignal des
zweiten Verzögerungselements als einen um eine Phase
verzögerten Takt (CLK - 1), das Ausgangssignal des dritten
Verzögerungselements als ein Taktsignal (CLK) und
das Ausgangssignal des vierten Verzögerungselements
als einen um eine Phase vorgerückten Takt (CLK + 1) ver-
wendet, wobei dieses Muster der Eingangssignale von
den Verzögerungselementen für jede Phasenauswerte-
schaltung (7-11) in der Weise wiederholt wird, daß jede
Phasenauswerteschaltung (7-11) ein Phasenfehleraus-
gangssignal (lead1-lead5 und lag1-lag5) und ein Daten-
ausgangssignal (RXD) liefert;
einen Datenanalysierer (14) und Umsetzer (15), der die
Datenausgaben (RXD) von den Phasenauswerteschaltun-
gen (7-11) abtastet und einen entsprechenden Mehrbit-
vektor wiedergewonnener Daten (RXD[0:9]) liefert;
einen Phasenabtafst- und Mehrheitswählerblock (17), der
auf der Grundlage der Phasenfehlerausgaben
(lead1-lead5 und lag1-lag5) von den Phasenauswerte-
schaltungen (7-11) einen Aufpump/Abpump-Impuls-

strom liefert; und
einen Impulsdichtedämpfer- und -integratorblock (18-21),
der den Aufpump/Abpump-Impulsstrom von dem Pha-
senabtafst- und Mehrheitswählerblock (17) in einen Impul-
sstrom umsetzt, der zum Vorrücken und zum Verzö-
gern der Phase des von dem Phaseninterpolator (3) an die
Reihe der Verzögerungselemente gelieferten Taktsignals
(CLK) verwendet wird.



DE 199 22 804 C 2

DE 199 22 804 C 2

[0001] Die Erfindung betrifft eine Taktwiedergewinnungsschaltung nach dem Oberbegriff des Anspruchs 1.

[0002] Derartige Schaltungen sind bei lokalen Netzen und insbesondere bei einer auf verschachtelten Phasenauswerteschaltungen beruhende Taktwiedergewinnungs-Architektur, etwa zum Wiedergewinnen von Daten aus einem 1000 MB-Datenstrom, verwendbar. Die Verwendung eines Phasenidentifiziereinrichtungs-Taktwiedergewinnungsmoduls in Verbindung mit einem Phaseninterpolator schafft Einsparungen bezüglich des Leistungsverbrauchs und der Fläche und ermöglicht die Integration mehrerer Taktwiedergewinnungskanäle auf einem einzelnen Chip.

[0003] Lokale Netze (LANs) verwenden zum Auskoppeln eines Taktsignals aus den zwischen den Stationen über das Netz übertragenen Daten ein Taktwiedergewinnungsschema. Das wiedergewonnene Taktsignal wird dann dazu verwendet, die an den ankommenden Daten ausgeführten Operationen, z. B. das Abtasten und Decodieren der Daten, richtig zu synchronisieren.

[0004] Mit steigenden Datenraten für lokale Netze steigt der Leistungsverbrauch und die Fläche des zum Wiedergewinnens des Takts und der Daten verwendeten Taktwiedergewinnungsmoduls (CRM). Zum Beispiel benötigt ein momentan verfügbares 10 BT-CRM bei einem $0,35\text{ }\mu\text{m}$ -3 V-Prozeß eine Fläche von $9,4 \cdot 10^{-2}\text{ mm}^2$ und verbraucht eine Leistung von etwa 6 mW. Ein momentan verfügbares 100 BX-CRM benötigt eine Fläche von etwa $93,4 \cdot 10^{-2}\text{ mm}^2$ und verbraucht eine Leistung von etwa 50 mW. Auf der Grundlage dieser Anforderungen wäre ein 1000 BX-CRM mit einem solchen Prozeß sehr schwer zu realisieren.

[0005] Momentane 1000 BX-CRMs beruhen auf BiCMOS-Verfahren, die teuer sind und viel Strom (für die momentan verfügbaren 1000 BX-CRMs typischerweise 1 W) verbrauchen. Der hohe Leistungsverbrauch erschwert die Integration mehrerer Taktwiedergewinnungskanäle in einem einzelnen Chip sehr und macht die Integration eines Taktwiedergewinnungskanals mit einer anwendungsspezifischen integrierten Schaltung (ASIC) unattraktiv. Da die Integration mehrerer CRMs auf einem einzelnen Chip vollständig integrierte Gigabit-Wiederholeinrichtungen, gepufferte Verteiler und Vermittlungsstellen ermöglichen würde, ist dies eine signifikante Beschränkung.

[0006] Dieses Problem wurde durch die Verwendung von Taktwiedergewinnungsmodulen unter Verwendung von verschachtelten Phasenauswerteschaltungen behandelt. Um z. B. 1000 MB-Daten (einen eingebetteten 1,25 MHz-Takt) wiederzugewinnen, könnte ein mit 250 MHz arbeitender fünfzehnphasiger spannungsgesteuerter Oszillator (VCO) verwendet werden. Mit jedem 5. Datenbit würden drei aufeinanderfolgende VCO-Phasen in der Weise verglichen, daß alle Bits mit einer Phase (d. h. Phase 1-3 mit dem 1. Bit, Phase 4-6 mit dem 2., ..., Phase 13-15 mit dem 5., Phase 1-3 mit dem 6. usw.) verglichen werden. Es werden fünf Phasenauswerteschaltungen mit drei Eingangsphasen pro Phasenauswerteschaltung verwendet. Die Phasen 1-3 tasten ein Datenbit ab, wobei die Phaseninformationen und die wiedergewonnenen Daten ausgekoppelt werden. Frühere Zugänge verwendeten dann eine Ladungspumpe pro Phasenauswerteschaltung, um fünf Lade/Entlade-Ströme zum Modifizieren der Steuerspannung eines einzelnen Filters zu erzeugen. Die Filterspannung wird dann zum Einstellen der VCO-Frequenz, die die 15 VCO-Phasen mit den Eingangsdatenstrom-Übergängen phasengleich macht, verwendet. Eine Datenausrichtschaltung macht die fünf wiedergewonnenen Datenströme phasengleich zueinander, wobei eine der VCO-Phasen als der wiedergewonnene Takt verwendet

wird. Dies erzeugt einen 5 Bit breiten Vektor wiedergewonnener Daten mit einem 250 MHz-RXC-Signal.

[0007] Die obige Erläuterung beschreibt anhand eines spezifischen Falls, wie ein CRM mit einer verschachtelten Phasenauswerteschaltung unter Verwendung von $3 \cdot N$ Phasen eines N MHz-VCO-Takts mit $X/Y = N$ einen X MHz-Takt aus einem Datenstrom wiedergewinnen kann. Eine frühere Lösung ("A 622 Mb CMOS Clock Recovery PLL with Time-Interleaved Phase Detector Array", ISSCC96, Sitzung 12/Serielle Datenkommunikationen) berichtet unter Verwendung eines 5 V - $0,8\text{ }\mu\text{m}$ -Prozesses einen Leistungsverbrauch von 200 mW und eine Fläche von $68,8 \cdot 10^{-2}\text{ mm}^2$. Eine weitere frühere Lösung ("A $8\text{ }\mu\text{m}$ CMOS 2.5 Gb/s Oversampled Receiver for Serial Links", ISSCC96/Sitzung 12) berichtet einen Leistungsverbrauch von 1 W und eine Fläche von $8,75\text{ mm}^2$.

[0008] Um die Phasenauflösung eines wiedergewonnenen Taktsignals zu erhöhen, wurde eine Phasenidentifiziereinrichtungs-Taktwiedergewinnungs-Architektur verwendet. Eine Phasenidentifiziereinrichtungs-Architektur stellt die Phase des wiedergewonnenen Takts in Abhängigkeit von einem gefilterten Phasenfehler ein, der von einer Phasenauswerteschaltung, die die Phase des wiedergewonnenen Taktsignals mit den ankommenden Daten vergleicht, erfaßt wird. Die Phase des wiedergewonnenen Taktsignals wird dann dadurch eingestellt, daß aus N durch ein Taktgeneratormodul erzeugten verfügbaren Phasen eine andere Phase ausgewählt wird. Um die Phasenauswahl vorzunehmen, wird ein $N:1$ -Phasenmultiplexer verwendet. Eine Phasenidentifiziereinrichtungs-Taktwiedergewinnungsschleife einer gegebenen Größenordnung zeigt im wesentlichen die gleiche Reaktion wie eine um eine Größenordnung größere Taktwiedergewinnungsschleife auf der Grundlage eines VCO.

[0009] Zu den Vorteilen einer Phasenidentifiziereinrichtungs-Schleife zählt: Die Schleifenparameter sind unabhängig von der PVT, das CRM ist vollständig digital und ermöglicht die gemeinsame Nutzung mehrerer CRMs unter einem einzelnen CGM.

[0010] Aufgabe der Erfindung ist es, eine Taktwiedergewinnungsschaltung zum Wiedergewinnen eines Taktsignals aus einem übertragenen Datenstrom unter Verwendung eines einzelnen Takterzeugungssignals zu schaffen, die zum Auskoppeln eines Taktsignals aus den zwischen zwei Stationen oder Knoten eines lokalen Netzes übertragenen Daten mit einer Datenrate von 1000 MB/s arbeiten kann und die die für die momentan verfügbaren Architekturen erforderliche Fläche und Leistung reduziert.

[0011] Diese Aufgabe wird entsprechend dem kennzeichnenden Teil des Anspruchs 1 gelöst.

[0012] Um die Phasenauflösung zu verbessern, wird eine um einen Phaseninterpolator erweiterte Phasenidentifiziereinrichtungs-Architektur als Teil der Taktgewinnungsarchitektur verwendet. Hierbei werden verschachtelte Phasenauswerteschaltungen zum Wiedergewinnen eines 125 MHz-Takts und eines 10 Bit-rxd-Vektors aus einem seriellen 1000 MB-Eingangsdatenstrom ($1,25\text{ GHz}$ eingebetteter Takt) verwendet. Da die Architektur unter Verwendung eines niederfrequenten CGM zum Erzeugen mehrerer Taktphasen für das CRM zum Wiedergewinnen des Takts und der Daten aus irgendeinem hochfrequenten Datenstrom verwendet werden kann (vorausgesetzt, daß der eingebettete Takt so beschaffen ist, daß ein schmalbandiges CRM ausreichend ist), ist der Umfang der Erfindung nicht auf diese Anwendung beschränkt.

[0013] Die Taktgeneratormodul/Taktwiedergewinnungsmodul-Architektur (CGM/CRM-Architektur) ist durch den Bedarf an einer Lösung mit einer geringen Oberfläche und mit einem geringen Leistungsverbrauch für eine 1000 MB-

Bitübertragungsschicht eines lokalen Netzes motiviert. Diese Lösung ist so beschaffen, daß sie die Integration einer Anzahl von CRMs in einem einzelnen Chip ermöglicht, was vollständig integrierte Gigabit-Wiederholeinrichtungen, gepufferte Verteiler und Vermittlungsstellen ermöglicht.

[0014] Weitere Ausgestaltungen der Erfindung sind der nachfolgenden Beschreibung zu entnehmen. Die Erfindung wird nachstehend anhand eines in den beigefügten Figuren dargestellten Ausführungsbeispiels näher erläutert.

[0015] Fig. 1 ist ein Blockschaltplan, der ein 1000 MB-Taktwiedergewinnungsmodul zeigt.

[0016] Fig. 2 ist ein Blockschaltplan, der einen Phasenauswerteschaltungsentwurf zeigt, der in dem Taktwiedergewinnungsmodul nach Fig. 1 verwendet werden kann.

[0017] Fig. 3 liefert eine Signalform, die den Betrieb der verschachtelten Phasenauswerteschaltung zeigt.

[0018] Fig. 4 ist ein Blockschaltplan, der eine analoge Entsprechung eines Digitalfilters zeigt.

[0019] Fig. 5 zeigt eine Signalform, die den Betrieb einer verschachtelten Phasenauswerteschaltung gemäß dem Stand der Technik erläutert.

[0020] Bei dem 1000 MB-Taktwiedergewinnungsmodul von Fig. 1 wird eine Verzögerungsleitung 6 durch eine Verzögerungsregelschleifen-Logik (DLL-Logik) 12 und durch einen Digital-Analog-Umsetzer (DAC) 13 zum Erzeugen einer Gesamtverzögerung von 4 ns von einem zum anderen Ende der Verzögerungsleitung 6 gesteuert. Das Eingangssignal in die Verzögerungsleitung 6 kommt von dem Phaseninterpolator 3. In der in Fig. 1 gezeigten Ausführung enthält die Verzögerungsleitung 6 zehn nichtinvertierende Präzisionsverzögerungselemente. Die Ausgangssignale der Verzögerungsleitung 6 werden zum Erzeugen von Eingangssignalen in die Phasenauswerteschaltungen 7-11 verwendet, wobei jede Phasenauswerteschaltung (PD) 3 Phasen von der Verzögerungsleitung 6 verwendet. Die Ausgangsphasen der Verzögerungsleitung 6 werden in diesem Dokument im folgenden als $dl_phi[10:1]$ bezeichnet. Die Phasenauswerteschaltung PD1 verwendet $dl_phi[3:1]$, wobei $dl_phi[2]$ als ein Taktsignal, $dl_phi[1]$ als ein um eine Phase vorgerückter Takt und $dl_phi[3]$ als ein um eine Phase verzögerter Takt verwendet werden. Die Phasenauswerteschaltung PD2 verwendet $dl_phi[5:3]$, wobei $dl_phi[4]$ als ein Taktsignal, $dl_phi[3]$ als ein um eine Phase vorgerückter Takt und $dl_phi[5]$ als ein um eine Phase verzögerter Takt verwendet werden. Die Zuordnung der weiteren vorgerückten, zentrierten, und verzögerten Taktsignale folgt diesem Muster.

[0021] Jede Phasenauswerteschaltungen PD1 bis PD5 koppelt jeweils die Phasenfehlerinformationen aus dem ankommenden Datenstrom RX_P aus, wobei sie die Ausgangssignale lead und lag erzeugt. Außerdem werden Daten wiedergewonnen, wobei das Ausgangssignal RXD erzeugt wird. Die verzögerte Taktphase wird gepuffert, wodurch ein Ausgangssignal RXC erzeugt wird.

[0022] Fig. 2 ist ein Blockschaltplan jeder in Fig. 1 gezeigten Phasenauswerteschaltung (PD). Wie in Fig. 2 gezeigt ist, ist RX_P (der ankommende Datenstrom) das D-Eingangssignal in drei besondere Flipflops 22-24. Diese Flipflops besitzen ein symmetrisches Einstell/Halte-Fenster von weniger als 50 ps, wobei sie an den D- und CLK-Eingängen die gleiche Eingangskapazität besitzen. Die Puffer 31 und 32 werden zum Erzeugen schneller Anstiegs/Abfall-Zeiten verwendet, wobei die Anstiegs/Abfall-Zeiten gleich den CLK-Eingangssignalen sind. Das Flipflop 30 ist ein Blindflop, das deshalb verwendet wird, weil die als Mittentakt-Eingangssignale in die PDs verwendeten Phasen der Verzögerungsleitung nur eine Last sehen, während die vorgerückten und verzögerten Phasen gemeinsam genutzt werden und zwei Lasten sehen.

[0023] Falls das CLK-Eingangssignal dem Übergang des Dateneingangssignals (RX_P-Eingangssignals) voreilt, wird das Ausgangssignal des XOR-Gatters 25 hoch aktiviert. Falls das CLK-Eingangssignal dem Übergang des Dateneingangssignals (RX_P-Eingangssignals) nacheilt, geht das Ausgangssignal des XOR-Gatters 26 hoch. Die Ausgangssignale dieser XOR-Gatter werden auf der steigenden Flanke von CLK + 1 abgetastet. Wenn der Phasenfehler während eines gemeinsamen Signals RXC abgetastet wird, ergibt dies ein gutes Einstellen und Halten. Es wird angemerkt, daß CLK + 1 eine optimale Abtastposition zum Wiedergewinnen von Daten ist, wenn das CLK des PDs auf die Mitte von Zitterdaten-Eingangsübergängen synchronisiert ist.

[0024] Nun zurückkehrend zu Fig. 1 werden die RXD-Ausgangssignale der Phasendetektoren 7-11 unter Verwendung des RXC-Ausgangssignals des PD5 11 in dem Datenausrichter 14 abgetastet. Dies liefert den zu dem RXC250m, dem RXC-Ausgangssignal der PD5 11, synchronen Datenvektor RXD[4:0]. Das RXC250m wird in der Division durch-2-Einrichtung 16, in der es in dem 5 Bit-10 Bit-Umsetzer 15 zum Erzeugen des abschließenden Ausgangsdatenvektors RXD[9:0] verwendet wird, auf das RXC125m heruntergeteilt. Das RXC125m ist das RXC-Ausgangssignal des Taktwiedergewinnungskanal.

[0025] Die Phasenfehlersignale von jedem PD (lead1-lead5 und lag1-lag5) sind die Eingangssignale in den Phasenabtast- und Mehrheitswählerblock 17. Die Phasenfehlersignale werden auf jeder steigenden Flanke des RXC250m abgetastet. Falls die meisten Phasenfehler voreilen, wird ein Voreilsignal erzeugt; falls die meisten nacheilen, wird ein Nacheilsignal erzeugt. Jeder Abtastzyklus, der zu einem Nacheilergebnis führt, erzeugt einen zum Signal RXC250m synchronisierten pumpup-Impuls, während ein Voreilergebnis einen zum Signal RXC250m synchronisierten pumpdn-Impuls erzeugt. Der ausgegebene pumpup/pumpdn-Strom ist das Eingangssignal in den Impulsstromdichte-Dämpfer 18, der nur einen von jeweils N Impulsen hindurchläßt, wobei N der gewünschte Betrag der Proportionaldämpfung ist. Außerdem ist der ausgegebene pumpup/pumpdn-Strom das Eingangssignal in den Impulsstromdichte-Dämpfer 19, der die Impulsdichte für den Integrator 21 dämpft. Der Integrator 21 liefert ein impulsdichtemoduliertes Impulsstrom-Ausgangssignal mit einer zur Vorgeschiebe des Phasenfehlers proportionalen Impulsdichte. Der Betrieb des Integrators 21 ist unten ausführlicher beschrieben.

[0026] Die Impulsstrom-Ausgangssignale von dem Integrator 21 und von dem Dämpfer 18 werden in der Impulsstromweiche 20 vereinigt, wobei die ausgegebenen Impulsströme dazu verwendet werden, die Phase des Ausgangssignals des Phaseninterpolators 3 und des Phasenmultiplexers 1 in Inkrementen von 40 ps vorzurücken und zu verzögern. Der Betrieb des Interpolators 3 ist unten ausführlicher beschrieben.

[0027] Die obige Beschreibung schließt die Rückkopplungsschleife, die die Proportional- und Integralsteuerung liefert, die für jede PD den Phasenfehler zwischen den RX_P-Übergängen und dem CLK-Eingangssignal auf null ansteuert, ab. Dies ermöglicht ein optimales Abtasten von RX_P zum Wiedergewinnen von RXD. Das digitale Schleifenfilter liefert die gleiche Form der Steuerung wie das in Fig. 4 gezeigte analoge Filter. Es wird angemerkt, daß, obgleich die obige Diskussion einen Eintakt-CMOS-Phasenmultiplexer, einen Interpolator, eine Verzögerungsleitung und eine PD verwendet, dies anders realisiert werden könnte.

[0028] Der Integrator 21 ist ein Auf/Ab-Zähler, der bei gesetztem Richtungsflop bei pumpup inkrementiert und bei pumpdn dekrementiert; andernfalls dekrementiert er bei pumpup, während er bei pumpdn inkrementiert. Da die pumpup- und pumpdn-Impulsdichte proportional zum Phasenfehler sind, ist der Zählungswert proportional zur Vorgeschiebung des Phasenfehlers. Falls der Zähler größer als null und das Richtungsflop gesetzt ist, wird bei jedem N. RXC, wobei N umgekehrt proportional zur Zählung ist, ein pumpup erzeugt. Falls der Zähler größer als null und das Richtungsflop null ist, wird alle N RXCs (N umgekehrt proportional zur Zählung) ein pumpdn erzeugt.

[0029] Bei Abwesenheit von pumpup- und pumpdn-Signalen von den Proportionalzählern, was im Fall einer langen Reihe von Nullen oder Einsen in dem ankommenden Datenstrom vorkommen kann, kompensieren die pumpup/dn-Signale von dem Auf/Ab-Zähler 21 weiter die Differenz von 10^{-6} zwischen der sendenden und der empfangenden Station. Das Richtungsflop wird gesetzt, wenn ein pumpup auftritt und die Zählung null ist, während es zurückgesetzt wird, wenn ein pumpdn auftritt und die Zählung null ist. Die Tiefe des Integrators (die Anzahl der Bits in dem Auf/Ab- und in dem RX-Zähler) bestimmt die Grenzen und die Granularität der Integralsteuerung. Der minimale Betrag der Integralsteuerung tritt auf, wenn der Auf/Ab-Zähler null ist und alle N Takte, wobei $N = 2^M$ mit der Integratortiefe M ist, entweder ein pumpup- oder ein pumpdn-Ausgangsimpuls von dem Integrator 21 erzeugt wird.

[0030] Da ein tieferer Integrator länger zum Synchronisieren benötigt, beeinflusst die Integratortiefe außerdem die Synchronisationszeit. Die tatsächliche Synchronisationszeit ist eine Funktion sowohl der Integratortiefe als auch der Dämpfung der Proportionalsteuerung. Diese Digitalfilterarchitektur realisiert die gleiche Steuerung in der Rückkopplungsschleife wie der optimale Analogschleifenfilter nach Fig. 4. Außerdem tut sie dies in einer leistungs- und flächen-effizienteren Weise als DSP-Lösungen.

Phasenmultiplexer und -interpolator

[0031] Der pumpup- und der pumpdn-Impulsstrom von der Impulsweiche 20 werden in der folgenden Weise zum Steuern eines (in Fig. 1 mit "DAC-Steuerung" bezeichneten) 16 Bit-Schieberegisters 5 verwendet. Jeder Abpump-Impuls bewirkt, daß sich das Schieberegister mit Einsen von dem Eingangssignal füllt. Falls das Schieberegister z. B. ff00 enthielt, würden zwei Abpump-Impulse zu einem Wert von fc0 führen; von hier würden 3 pumpup-Impulse zu einem Wert von fc00 führen. Mit anderen Worten, bewirken die pumpup-Impulse, daß die Einsen aus dem Eingangssignal entnommen werden. Der Wert des Schieberegisters wird dazu verwendet, in dem Verzögerungsinterpolator 3 eine Verzögerung von 41,7 ps + konstante Verzögerung bis 667 ps + konstante Verzögerung auszuwählen. Jede "1" in dem Schieberegister erhöht die Gesamtverzögerung um eine weitere Verzögerung von 41,7 ps. Wenn das Schieberegister 5 sämtlich Einsen enthält und ein Abpump-Impuls empfangen wird, wird das Schieberegister auf 8000 zurückgesetzt, wobei ein Abpump-Impuls an die Phasenmultiplexer-Phasenauswahleinrichtung 2 gesendet wird. Dies bewirkt, daß der Phasenmultiplexer eine gegenüber der momentanen Phase um 667 ps verzögerte Phase auswählt. Falls die momentane Phase z. B. die Phase 3 ist, würde der Phasenmultiplexer die Phase 4 auswählen. Da die Verzögerungsauswahleinrichtung 5 gleichzeitig damit, daß der Phasenmultiplexer die Phase um 667 ps verzögert, auf 8000 zurückgesetzt

wird, besteht das Gesamtergebnis in einer Verzögerung der Phase um 41,7 ps, was das gleiche ist, wie wenn die Verzögerungsauswahleinrichtung 5 einen Abpump-Impuls empfangen hätte, wenn der Wert der Verzögerungsauswahleinrichtung ff00 (oder irgendein anderer von ffff verschiedener Wert) gewesen wäre, was bewirkt, daß die Verzögerungsauswahleinrichtung auf ff80 verschoben wird. Wenn das Schieberegister 13 8000 enthält und ein pumpup-Impuls empfangen wird, wird das Schieberegister auf ffff zurückgesetzt, wobei ein pumpup-Impuls an die Phasenmultiplexer-Phasenauswahleinrichtung 2 gesendet wird. Dies ermöglicht, daß der Phasenmultiplexer eine gegenüber der momentanen Phase um 667 ps vorgerückte Phase auswählt. Falls die momentane Phase z. B. die Phase 3 ist, würde der Phasenmultiplexer die Phase 2 auswählen. Da die Verzögerungsauswahleinrichtung 5 gleichzeitig damit auf ffff zurückgesetzt wird, daß der Phasenmultiplexer die Phase um 667 ps vorrückt, besteht das Gesamtergebnis darin, daß die Phase um 41,7 ps vorgerückt wird, was das gleiche ist, wie wenn die Verzögerungsauswahleinrichtung 5 einen pumpup-Impuls empfangen hätte, während der Wert der Verzögerungsauswahleinrichtung ff00 (oder ein anderer von 8000 verschiedener Wert) war, was bewirkt, daß die Verzögerungsauswahleinrichtung auf fe00 verschoben wird.

[0032] Der Phasenmultiplexer 1 arbeitet so, daß er in Abhängigkeit von den pumpup- und pumpdn-Impulsen von der Verzögerungsauswahleinrichtung 5 von einem doppeltgerichteten Schieberegister 2 verschoben wird. Dieses Schieberegister umfaßt 6 Bits, wobei immer ein und nur ein Bit wahr ist. Die Q-Ausgangssignale des Schieberegisters 5 werden zum Aktivieren der Übertragungsgatter in dem 6:1-Multiplexer 1 verwendet. Um ein störungsfreies Umschalten sicherzustellen, muß die Gesamtverzögerung von der steigenden Flanke der Takteingangssignale des Schieberegisters 2 zur steigenden Flanke der gleichen taktändernden Phase wenigstens gleich dem groben Phasenschritt von 667 ps, aber weniger als die 250 MHz-Zeit, die der Takt hoch ist, sein. Die sechs 250 MHz-Takteingangssignale in den Phasenmultiplexer kommen von dem CGM. Ein einzelnes CGM liefert an N Phasenmultiplexer und N Phaseninterpolatoren 6 Phasen von 250 MHz, eine pro Empfangskanal.

[0033] Ein Verzögerungsinterpolatorkalibrator wird dazu verwendet, für die Verzögerungsinterpolatoren einen Vorstrom derart zu erzeugen, daß die 16 Phasenschritte genau einen Gesamtphasenschritt aus dem Phasenmultiplexer überbrücken.

[0034] Der Leistungsverbrauch ist wegen der Ausführung der Simulationsergebnisse in einem 3 V-Prozeß um einen Faktor von 2,78 verringert. Da der Großteil der Fläche der Lösungen des Standes der Technik von dem analogen Schleifenfilter eingenommen wird, dessen Größe sich bei kleineren Prozessen nicht verringert, ist die Fläche dort nicht skaliert. Die Datenrate wird dort außerdem zum Skalieren der verbrauchten Leistung verwendet. Für die 622 MB-CRM-Technik ergibt dies einen Skalierungsfaktor von $1,6/2,78 = 0,6$ oder eine skalierte Leistung von 120 mW. Für die 2,5 GB/s-Technik ergibt sich ein Skalierungsfaktor von $1/(2,5 \cdot 2,78) = 1/7$ oder eine skalierte Leistung von 143 mW.

[0035] Hier kann man mehrere CRM-Kanäle unter einem einzelnen CGM gemeinsam nutzen. Dies spart Fläche und Leistung. Frühere Entwicklungen verschachtelter Phasenerfassungseinrichtungen erforderten einen VCO pro Taktwiedergewinnungskanal. Das Phasenerfassungs/Datenwiedergewinnungs-Schema erfordert hier eine zweifache Überabtastung, während der Stand der Technik wenigstens eine dreifache erfordert. Bei einer entsprechenden Verringerung

der Leistung und der Fläche und die insgesamt erforderlichen Phasen um einen Faktor 1,5 verringert dies die erforderliche Anzahl der CGM-Phasen um 3. Die Phasenauswerteeinrichtung tastet die Daten in einer optimalen Abtastposition ab, ohne daß eine Präzisionsverzögerung erforderlich wäre, während der Stand der Technik zum Erreichen der optimalen Abtastung eine Präzisionsverzögerung pro Phasenauswerteeinrichtung erfordert. Dieser Aspekt ist in Fig. 5 gezeigt. Da der CRM-Kanal keine Ladungspumpen oder analogen Schleifenfilter erfordert, sind keine Widerstände oder Kondensatoren erforderlich, wobei die Größe direkt mit dem Prozeß skaliert. Das Schleifenfilter läuft bei 250 MHz, was Leistung einspart. Die Zeit des kritischen Laufzeitunterschieds ist auf den Phasenmultiplexer, auf den Phaseninterpolator und auf die Auswerteeinrichtung beschränkt, was bedeutet, daß das Digitalfilter mit einer Standardzellenlogik realisiert werden kann, was eine leichte Übertragbarkeit des Prozesses bietet. Die Schleifendynamik ist PVT-unabhängig. Es ergibt sich eine sehr lineare Phaseneinstellungs-Phasenfehler-Kennlinie; sowie einen Pol weniger als Schleifen auf der Grundlage von VCOs. Die abgeschätzte Kanalfäche pro CRM beträgt $12,5 \cdot 10^{-2} \text{ mm}^2$. Der abgeschätzte Leistungsverbrauch pro CRM beträgt 25 mW. [0036] Die obigen Abschätzungen nehmen einen 0,35 µm-Prozeß, 3,6 V max VCC an und beinhalten nicht den Leistungsverbrauch des CGMs, das unter den N CRM-Kanälen gemeinsam genutzt wird. Außerdem umfassen sie keine Funktionen wie etwa einen Entzerrer und 10/100-CRM-Kanäle.

[0037] Es wird eine fünffache Verbesserung bezüglich des Leistungsverbrauchs gegenüber existierenden verschachtelten Phasenauswerteschaltungszugängen und eine 40fache Verbesserung gegenüber nicht verschachtelten PD-Zugängen erreicht. Diese Leistungsverbesserung kann den Bedarf an weniger für den Phasenvergleich und die Datenwiedergewinnung erforderlichen Phasen und der Fähigkeit zum gemeinsamen Nutzen eines einzelnen CGMs unter mehreren Kanälen zugeschrieben werden. Diese Merkmale sind ein direktes Ergebnis der vorliegenden Architektur.

[0038] Es wird somit eine 5,5fache Verbesserung gegenüber den existierenden Zugängen bezüglich der erforderlichen Fläche erreicht. Diese Verbesserung kann der Tatsache, daß keine Widerstände oder Kondensatoren erforderlich sind, deren Größe nicht mit der Prozeßgeometrie skaliert, und der gemeinsamen Nutzung eines einzelnen CGMs unter mehreren Kanälen, die ein direktes Ergebnis der erfindungsgemäßen Architektur ist, zugeschrieben werden.

[0039] Das Phasenzittern ist in dem CGM, in dem Phaseninterpolator und in der Verzögerungsleitung zu minimieren; jeder Abgriff der Verzögerungsleitung ist gleich zu belasten; die Metallbahnen sind für die CLK- und RX_P-Eingänge in die PDs anzupassen; das Erreichen der Einstell/Halte-Grenze für den Datenausrichter und für den Phasenabtaster erfordert möglicherweise eine Verzögerungsanpassung.

Patentansprüche

Taktwiedergewinnungsschaltung, gekennzeichnet durch

eine Reihe von Verzögerungselementen, die in der Weise durch eine Verzögerungsregelschleife (12) und durch einen Digital-Analog-Umsetzer (13) gesteuert werden, daß jedes Verzögerungselement ein Taktsignal erzeugt, das gegenüber dem vorausgehenden Verzögerungselement in der Reihe um eine definierte Phasendifferenz phasenverzögert ist; einen Phaseninterpolator (3), der ein Eingangstaktsignal für die Reihe der Verzögerungselemente liefert;

eine Reihe von Phasenauswerteschaltungen (7-11), die in der Weise verschachtelt sind, daß die erste Phasenauswerteschaltung (7) in der Reihe das Eingangstaktsignal als einen um eine Phase verzögerten Takt (CLK - 1), das Ausgangssignal des ersten Verzögerungselements als ein Taktsignal (CLK) und das Ausgangssignal des zweiten Verzögerungselements als einen um eine Phase vorgerückten Takt (CLK + 1) verwendet, die zweite Phasenauswerteschaltung (8) in der Reihe das Ausgangssignal des zweiten Verzögerungselements als einen um eine Phase verzögerten Takt (CLK - 1), das Ausgangssignal des dritten Verzögerungselements als ein Taktsignal (CLK) und das Ausgangssignal des vierten Verzögerungselements als einen um eine Phase vorgerückten Takt (CLK + 1) verwendet, wobei dieses Muster der Eingangssignale von den Verzögerungselementen für jede Phasenauswerteschaltung (7-11) in der Weise wiederholt wird, daß jede Phasenauswerteschaltung (7-11) ein Phasenfehlerausgangssignal (lead1-lead5 und lag1-lag5) und ein Datenausgangssignal (RXD) liefert; einen Datenanalysierer (14) und Umsetzer (15), der die Datenausgaben (RXD) von den Phasenauswerteschaltungen (7-11) abtastet und einen entsprechenden Mehrbitvektor wiedergewonnener Daten (RXD[0:9]) liefert; einen Phasenabtast- und Mehrheitswählerblock (17), der auf der Grundlage der Phasenfehlerausgaben (lead1-lead5 und lag1-lag5) von den Phasenauswerteschaltungen (7-11) einen Aufpump/Abpump-Impulsstrom liefert; und einen Impulsdichtedämpfer- und -integratorblock (18-21), der den Aufpump/Abpump-Impulsstrom von dem Phasenabtast- und Mehrheitswählerblock (17) in einen Impulsstrom umsetzt, der zum Vorrücken und zum Verzögern der Phase des von dem Phaseninterpolator (3) an die Reihe der Verzögerungselemente gelieferten Taktsignals (CLK) verwendet wird.

Hierzu 4 Seite(n) Zeichnungen

- Leerseite -

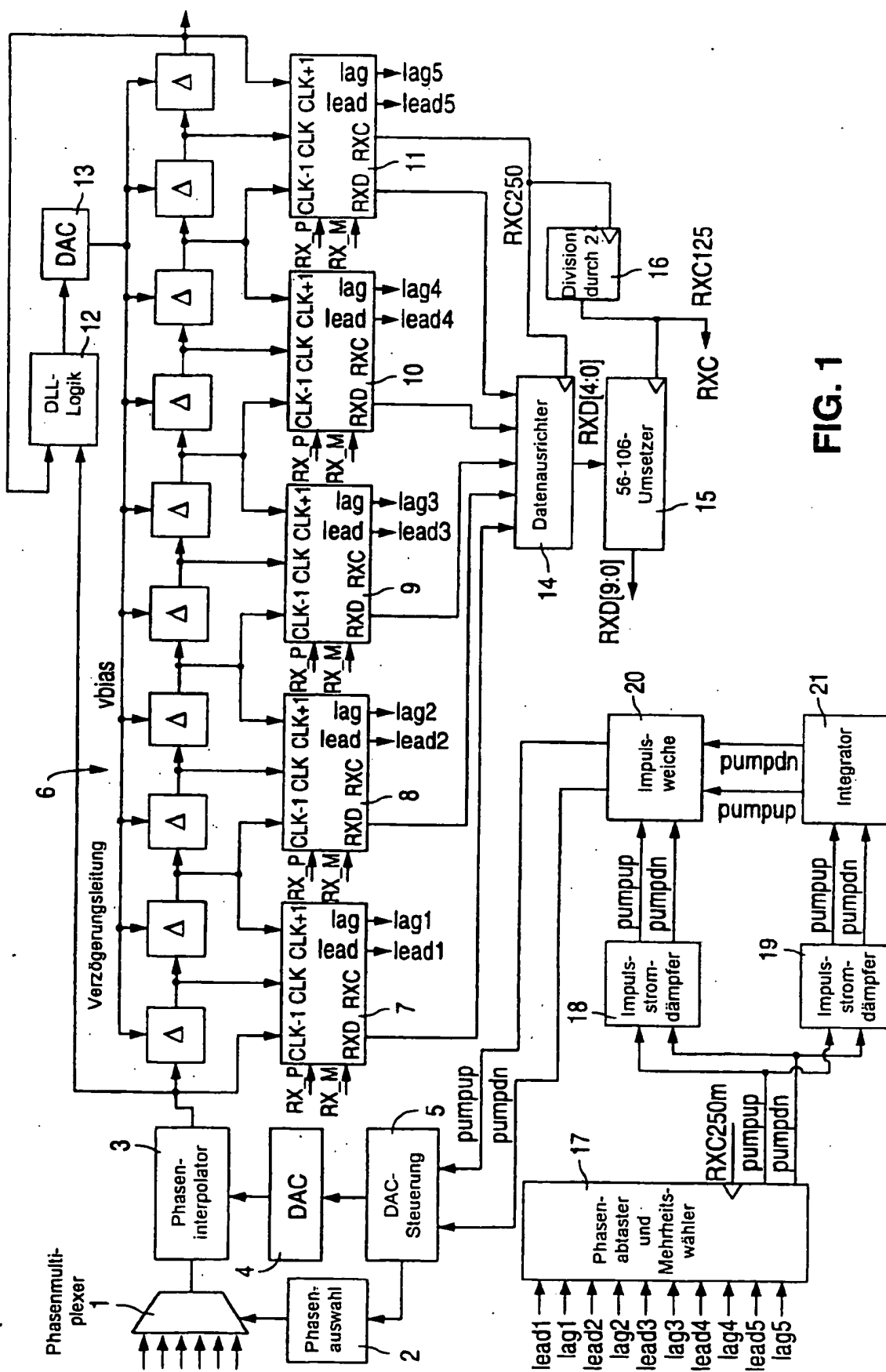


FIG. 1

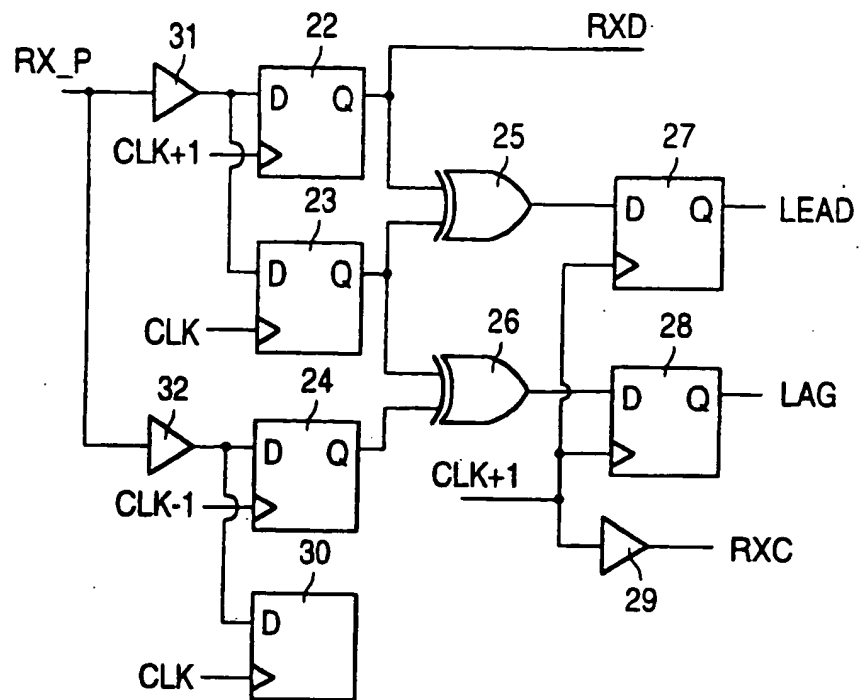


FIG. 2

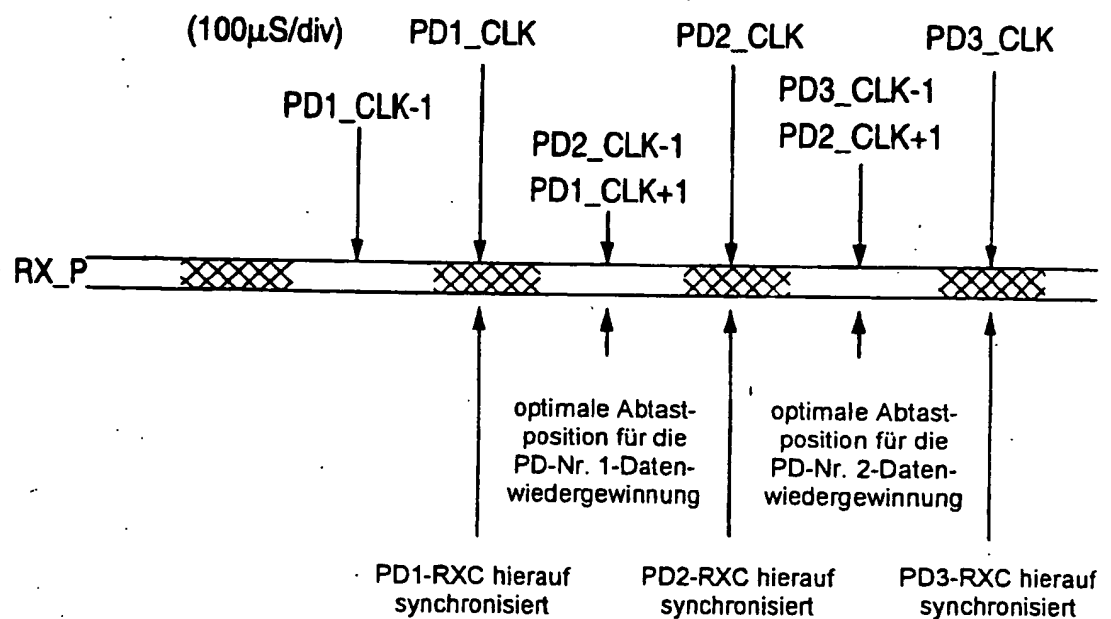
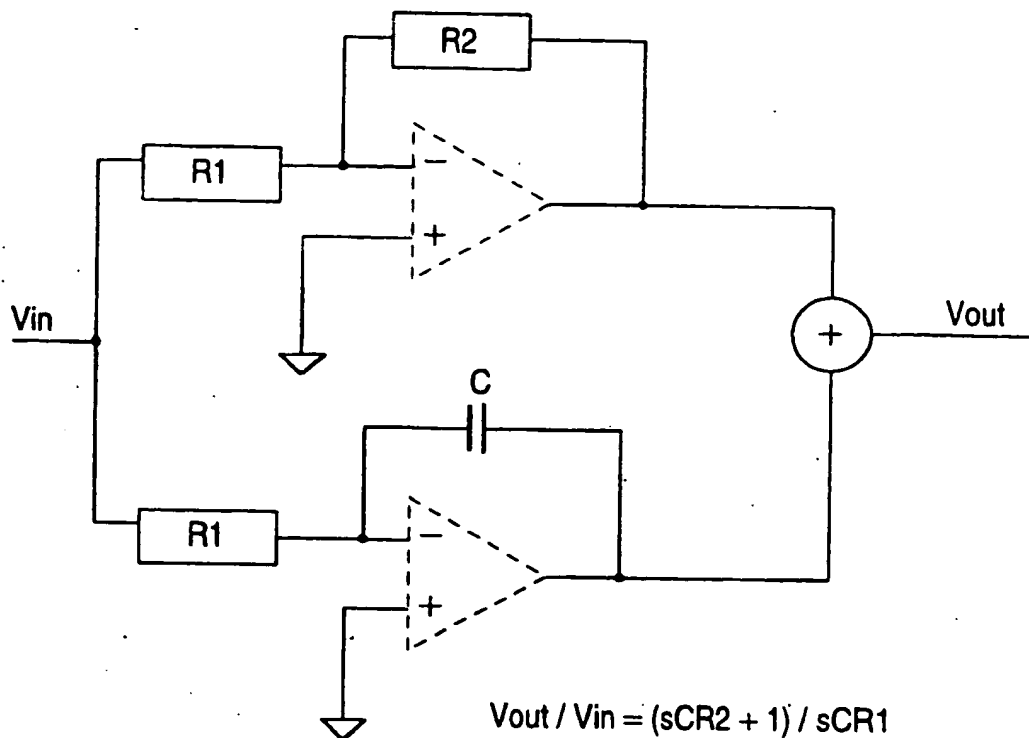


FIG. 3



$$V_{out} / V_{in} = (sCR2 + 1) / sCR1$$

Pol bei null (idealer Integrator)

Nullstelle bei $1 / (CR2)$

$$\text{atten_p} = R1 / R2$$

(Dämpfung der Proportionalsteuerung)

$$\text{atten i} = CR1$$

(Dämpfung des Phasenfehlers beeinflusst den Integratorpegel)

$$\text{integrator_depth} = C$$

FIG. 4

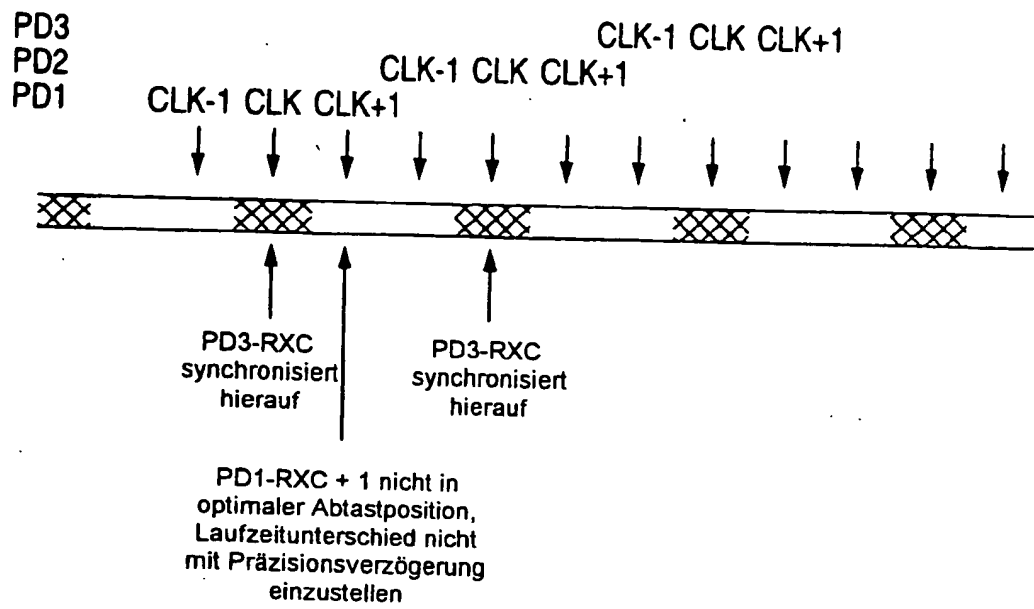


FIG. 5